



PROGRAMA ANALÍTICO

DEPARTAMENTO: TELECOMUNICACIONES

CARRERA: INGENIERÍA EN TELECOMUNICACIONES

ASIGNATURA: APLICACIONES DEL PROCESAMIENTO DIGITAL DE SEÑALES

CÓDIGO: 0072

AÑO ACADÉMICO: 2019

PLAN DE ESTUDIO: 2010

UBICACIÓN EN EL PLAN DE ESTUDIO: 1ER. CUATRIMESTRE 5TO. AÑO - CICLO PROFESIONAL

MODALIDAD DE CURSADO: PRESENCIAL

ORIENTACIÓN: SISTEMAS EMBEBIDOS (E3) – PLAN 2010 V. 1

DOCENTE A CARGO: Dr. Ing. Guillermo A. Magallán – Profesor Adjunto Exclusivo

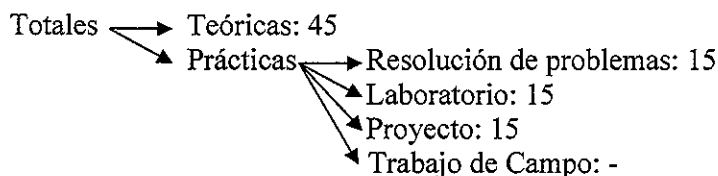
EQUIPO DOCENTE: Dr. Ing. Guillermo A. Magallán – Profesor Adjunto Exclusivo
Dr. Ing. Facundo Aguilera – Jefe de Trabajos Prácticos Exclusivo

RÉGIMEN DE ASIGNATURAS:

<i>Aprobada</i>	<i>Regular</i>
1° y 2° año	0018
	0019
	0020
	0027

ASIGNACIÓN DE HORAS:

Semanales: 6



CARÁCTER DE LA ASIGNATURA: Optativa



OBJETIVOS DE LA ASIGNATURA:

La materia tiene por objetivo capacitar al alumno en el conocimiento de la arquitectura básica de la familia de procesadores digitales de señal (DSP), brindar la metodología para el procesamiento de señales en tiempo real, realizar aplicaciones prácticas orientadas a las comunicaciones digitales mediante procesamiento de señales con DSPs y dispositivos de lógica programable (FPGAs).

CONTENIDOS:

1. INTRODUCCIÓN A LOS PROCESADORES DIGITALES DE SEÑALES (DSPs)
 - 1.1. Características principales
 - 1.2. Arquitecturas típicas.
 - 1.3. Criterio de selección.
 - 1.4. Aplicaciones con DSPs.
 - 1.5. Cuando usar DSP, FPGA o ambos.
2. ARQUITECTURA
 - 2.1. Estructura de buses.
 - 2.2. Organización interna de la memoria
 - 2.3. Unidad central de procesamiento CPU. Unidad aritmético lógica ALU
 - 2.4. Direccionamiento de datos. Direccionamiento de memoria de programa.
 - 2.5. Operaciones de tubería (pipeline).
 - 2.6. Buffer Circulares.
 - 2.7. Periféricos generales chip.
 - 2.8. Descripción de las familias C2000, C5000 y C6000 de Texas Instruments y su campo de aplicación
3. HERRAMIENTAS DE DESARROLLO Y PROGRAMACIÓN
 - 3.1. Uso del IDE Code Composer.
 - 3.2. Configuración de proyectos. Mapa de memoria. DSP-Bios.
 - 3.3. Primitivas de programación: Clases, funciones. Inserción de código ensamblador. Manejo de interrupciones.
 - 3.4. Toolboxes para el desarrollo rápido, Simulink-DSP.
4. DSP TMS320C6748
 - 4.1. Características generales
 - 4.2. Interfaces y periféricos
 - 4.3. Tipos de Memoria Disponibles – Mapa de memoria
 - 4.4. PRU
 - 4.5. Controlador de alimentación y de modo sleep (*Power and Sleep Controller - PSC*).
 - 4.6. Sistema de clock – clock de sistema y periféricos (PLLs y divisores).
 - 4.7. Librerías para uso *Standalone* – Starterware (*BIOS C6 Software Development Kit Version 2.0.*)
 - 4.8. Configuración del sistema mínimo de software para el C6748.
5. CONTROL DE INTERRUPCIONES



- 5.1. Sistema de Interrupciones del C6748
- 5.2. Configuración del INTC
- 5.3. Tabla IST – Vectorización
- 5.4. APIs para el manejo en lenguaje C
6. KIT DE DESARROLLO LCDK C6748
 - 6.1. Descripción general
 - 6.2. Componentes *On-Board* y funcionalidad.
 - 6.3. Debug y Drivers
 - 6.4. Configuración y conexión con el code composer.
7. PROGRAMACIÓN DE PERIFERICOS BÁSICOS
 - 7.1. TIMERS – Configuración, uso y manejo mediante funciones APIs.
 - 7.2. UART-USB – Configuración, uso y manejo mediante funciones APIs, aplicaciones de monitoreo de software, intercambio de datos.
 - 7.3. CODEC. Conversión A/D y DA -
Descripción del AIC3106, funcionamiento interno, configuraciones, limitaciones.
Interfaz de comunicación McASP para el intercambio de datos, y para la configuración I2C, manejo mediante funciones APIs. Generación de señales periódicas .Caracterización del DAC, prueba experimental.
8. FILTROS DIGITALES
 - 8.1. Filtros digitales lineales e invariantes en el tiempo.
 - 8.2. Implementación en tiempo
 - 8.3. FIR. Estructuras y diseño.
 - 8.4. IIR. Estructuras y diseño.
 - 8.5. Implementación eficiente de buffer circulares.
 - 8.6. Osciladores sinusoidales digitales – generación de clock simple y en cuadratura.
9. FFT
 - 9.1. Transformada Rápida de Fourier utilizando radix-2 y radix-4.
 - 9.2. Descomposición en el tiempo y en frecuencia.
 - 9.3. Programación del algoritmo – implementación.
 - 9.4. Procesamiento basado en frames.
 - 9.5. Implementación de filtrado en frecuencia utilizando FFT y IFFT
10. MODULACIÓN y DEMODULACIÓN DIGITAL
 - 10.1. Fundamentos para implementar sistemas de transmisión digital – PAM, BASK, BFSK, BPSK.
 - 10.2. Respuesta del canal, criterio de Nyquist para para no ISI.
 - 10.3. Modulación/Demodulación QAM.
 - 10.4. Estrategias para recuperación de portadora y sincronización de datos.
11. INTRODUCCIÓN AL PROCESAMIENTO DE SEÑAL CON DISPOSITIVOS DE LÓGICA PROGRAMABLE (FPGAs)
 - 11.1. Descripción del hardware para el procesamiento digital con lógica programable.



- 11.2. Formatos numéricos soportados: punto flotante, punto fijo, criterio de selección del ancho de palabra y formato. Estructuras Aritméticas: sumadores pipeline, multiplicadores, divisores, unidades MACs, bloques DSP48.
- 11.3. Utilización de Tablas LUT. Buffers RAM
- 11.4. **Aplicaciones:** Estructuras de filtros básicos: FIR, IIR. FFT, Algoritmo mariposa.

METODOLOGÍA DE ENSEÑANZA:

El curso tendrá una extensión temporal cuatrimestral, con una carga horaria semanal de 6 horas. Las clases serán, en las primeras semanas, de tipo teórico en las cuales se desarrollaran los conceptos de cada unidad y a partir del momento en que se hayan impartido los conocimientos mínimos imprescindibles, se ejecutaran actividades prácticas relacionadas, incluyendo la elaboración de programas a ejecutarse en simulador y la utilización de sistemas de desarrollo dedicados.

El curso prevé además actividades para realizar fuera del horario de clase las que deberán ser desarrolladas por los alumnos, los resultados de dichas prácticas serán evaluados en coloquios al efecto.

MODALIDAD DE EVALUACIÓN:

La evaluación de los contenidos desarrollados se realiza de la siguiente forma:

Promoción de la materia:

- Aprobación de todos los trabajos prácticos con defensa personal.
- Aprobación del proyecto final de fin de curso con defensa personal.
(Calificación de los TPs promedio mayor o igual a 7(siete), con ninguna nota inferior a 5 (cinco) en cada TP).

Examen para condición regular:

- Aprobación de todos los trabajos prácticos con defensa personal.
(Ningún TP con nota inferior a 5 (cinco)).

Examen para condición Libre:

- Presentación y coloquio de trabajos prácticos.
- Implementación de proyecto final en prototipo
- Coloquio integrador.

Puntaje mínimo de aprobación 5 puntos (50%).

En los casos de no aprobar un TP particular se deberá volver a presentar en una fecha pactada con el cuerpo docente del curso durante el mismo cuatrimestre de dictado.

CRONOGRAMA DE ACTIVIDADES:

Semana 1	Capítulo 1
Semana 2	Capítulo 2
Semana 3	Capítulo 3
Semana 4	Capítulo 4
Semana 5	Capítulo 5
Semana 6	Capítulos 6-7
Semana 7	Capítulo 7



Semana 8	Capítulo 8 +TP1
Semana 9	Capítulo 8 + TP2
Semana 10	Capítulo 9 + TP3
Semana 11	Capítulo 10 + Proyecto fin de curso
Semana 12	Capítulo 11 + Proyecto fin de curso
Semana 13	Capítulo 11 + Proyecto fin de curso
Semana 14	Proyecto fin de curso
Semana 15	Proyecto fin de curso

HORARIO DE CLASES:

Martes de 15a 18 h.
Jueves de 15 a 18 h.

HORARIO DE CONSULTA:

Viernes de 16:00 a 18:00hs. (Solicitar consulta particular previamente con alguno de los docentes integrantes de la asignatura).

BIBLIOGRAFÍA:

Título	Autor/s	Editorial	Año de Edición	Ejemplares Disponibles
The Scientist and Engineer's Guide to Digital Signal Processing	By Steven W. Smith, Ph.D.	California Technical Publishing	1997-2011	Disponible gratuito en la web. http://www.dspguide.com/
Digital Signal Processing and Applications with the TMS320C6713 and C6416 DSK	Rulph Chassaing Donald Reay	Wiley	2008	1 (electrónico en la cátedra)
Digital Signal Processing and Applications with the OMAP-L138 eXperimenter	Donald Reay	Wiley	2012	1 (electrónico en la cátedra)
Communication System Design Using DSP Algorithms	Steeven A. Treteer	Springer	2008	1 (electrónico en la cátedra)
Presentaciones de Clases , y Proyectos Ejemplos	Guillermo A. Magallán	----	2015	Disponible en formato electrónico

Firma Docente Responsable

Firma Secretario Académico