



Universidad Nacional de Río Cuarto
Facultad de Ingeniería

PROGRAMA ANALÍTICO

DEPARTAMENTO: TELECOMUNICACIONES

CARRERA: INGENIERÍA EN TELECOMUNICACIONES

ASIGNATURA: PROGRAMACIÓN LÓGICA PARA INGENIERÍA

CÓDIGO: 0073

AÑO ACADÉMICO: 2016

PLAN DE ESTUDIO: 2010

UBICACIÓN EN EL PLAN DE ESTUDIO: 2DO. CUATRIMESTRE DE 4TO. AÑO
CICLO PROFESIONAL

ORIENTACIÓN: MICROELECTRÓNICA PARA LAS COMUNICACIONES (E3)

DOCENTE A CARGO: Dr. Ing. Guillermo A. Magallán – Profesor Adjunto

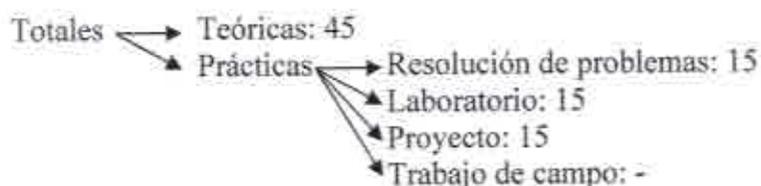
EQUIPO DOCENTE: Dr. Ing. Facundo Aguilera – Ayudante de Primera
Dr. Ing. Guillermo A. Magallán – Profesor Adjunto

RÉGIMEN DE ASIGNATURAS:

<i>Aprobada</i>	<i>Regular</i>
0023	Regular el VI cuatrimestre de la carrera

ASIGNACIÓN DE HORAS:

Semanales: 6



CARÁCTER DE LA ASIGNATURA: Optativa



OBJETIVOS DE LA ASIGNATURA:

El curso propone proveer el entendimiento de los principios básicos del diseño de lógica digital, así como también la forma de aplicar estos principios a la construcción de circuitos complejos utilizando las tecnologías actuales. Si bien los principios básicos de la lógica digital no han cambiado demasiado, el proceso de diseño y la implementación de estos circuitos, sí lo ha hecho y considerablemente.

Con las herramientas de diseño asistido por computadora (CAD) actuales para la síntesis lógica, simulación e implementación de circuitos lógicos, los estudiantes podrán implementar estos circuitos y ver como se ejecutan, tanto en un ambiente de simulación como en el hardware real.

El hecho de ver cómo el diseño realizado por los estudiantes toma vida en el hardware real es una experiencia excitante. Deseamos que esto los ayude, no solamente a recordar lo que han aprendido, sino a que también se interesen en el mundo del diseño de circuitos digitales.

Además de los objetivos y principios generales enunciados, se aspira a que, en cada una de las partes en que se divide el programa se alcancen ciertos objetivos parciales, los que se enuncian junto con los contenidos analíticos.

CONTENIDOS:

CAP 1: REPASO DE LÓGICA DIGITAL

- Sistemas de numeración
- Aritmética
- Funciones lógicas
- Simplificación de funciones
- Circuitos combinacionales y secuenciales

CAP 2: INTRODUCCIÓN AL LENGUAJE VHDL

- Conceptos fundamentales del lenguaje
- Modelado de sistemas digitales
- Dominios y niveles del modelado
- Entidades
- Arquitecturas
- Tipos de sentencias

CAP 3: MODELADO DE COMPORTAMIENTO

- Introducción del modelado de comportamiento
- Retardo de transporte vs. inercial
- Simulación de deltas
- Enunciación de bloques

CAP 4: PROCESAMIENTO SECUENCIAL

- Enunciación de procesos
- Asignación de señales vs. asignación de variables
- Enunciación secuencial

CAP 5: TIPOS DE DATOS

- Tipos de objetos: señales, variables y constantes
- Tipos de datos: escalares y compuestos



CAP 6: SUBPROGRAMAS Y PAQUETES

- Subprograma
 - Funciones
 - Conversión, resolución, procedimiento
- Paquete
 - Definición
 - Constantes
 - Declaración de subprogramas

CAP 7: ATRIBUTOS PREDEFINIDOS

- Clases de valores
- Clases de funciones
- Clases de señales

CAP 8: TECNOLOGÍAS DE IMPLEMENTACIÓN

- Usando ROM para implementar una función
- Usando PLAs y PALs para implementar una función
- Dispositivo Lógico Programable Complejo (CPLD)
- Dispositivos programables en campo (FPGA)

CAP 9: COMPONENTES COMBINACIONALES Y SECUENCIALES ESTÁNDAR

- Combinacionales
 - Sumador y Restador
 - Combinación sumador–restador
 - Unidad aritmético – lógica
 - Decodificadores y codificadores
 - Multiplexor
 - Buffer de tercer estado
 - Comparadores
 - Multiplicador
- Secuenciales
 - Registros
 - Registros de desplazamiento
 - Contadores
 - Register Files
 - Memorias RAM

SEMINARIO 01: CURSO INTRODUCTORIO A LAS HERRAMIENTAS DE SOFTWARE

- Manejo de la herramientas de simulación, compilación y síntesis de la placa
- Esquemático, lenguaje vhdl, compilador, simulador y sintetizador.

SEMINARIO 02: HARDWARE DE LAS FPGAS

- Descripción funcional de la fpga
- Hardware interno.
- Especificaciones eléctricas.
- Interface a otros dispositivos.

SEMINARIO 03: INTERFAZ WISHBONE

- Descripción de la interface de los dispositivos presintetizados disponibles en el sitio OPENCORES.



Universidad Nacional de Río Cuarto
Facultad de Ingeniería

SEMINARIO 04: INTERFAZ JTAG

- Descripción de la interfase de programación y análisis JTAG.
- Su utilización en el diseño de circuitos VLSI.

METODOLOGÍA DE ENSEÑANZA:

El curso tendrá una extensión temporal cuatrimestral, con una carga horaria semanal de 5 horas. Las clases serán, en las primeras semanas, de tipo teórico en las cuales se desarrollaran los conceptos de cada unidad y a partir del momento en que se hayan impartido los conocimientos mínimos imprescindibles, se ejecutaran actividades prácticas relacionadas, incluyendo la elaboración de programas a ejecutarse en simulador y la utilización de sistemas de desarrollo dedicados.

El curso prevé además actividades para realizar fuera del horario de clase las que deberán ser desarrolladas por los alumnos, los resultados de dichas prácticas serán evaluados en coloquios al efecto.

Los seminarios complementarios se dictarán en el contexto del programa.

MODALIDAD DE EVALUACIÓN:

La evaluación de los contenidos desarrollados abarca los siguientes puntos:

- Un examen parcial escrito, sobre los fundamentos del lenguaje.
- Defensa de dos trabajos prácticos de implementación, con informe.
- Examen final integrador, proyecto de fin de curso con implementación, defensa oral.

Los alumnos que aprueben el parcial y los trabajos prácticos, pero no aprueben el proyecto final quedarán como regulares y deberán rendir el proyecto final para aprobar la materia.

Los alumnos libres deberán primero aprobar un examen teórico. Si es aprobado deberán rendir el proyecto para aprobar la materia.

CRONOGRAMA DE ACTIVIDADES:

Semana 1	Capítulo 1
Semana 2	Capítulo 2 + Seminario 01
Semana 3	Capítulo 3
Semana 4	Capítulo 4
Semana 5	Capítulo 5 + Seminario 02
Semana 6	Capítulo 6
Semana 7	Capítulo 7
Semana 8	Capítulo 8 + Seminario 04
Semana 9	Capítulo 9
Semana 10	Capítulo 9
Semana 11	Capítulo 9 + seminario 03
Semana 12	Proyecto fin de curso
Semana 13	Proyecto fin de curso
Semana 14	Proyecto fin de curso
Semana 15	Proyecto fin de curso



Universidad Nacional de Río Cuarto
Facultad de Ingeniería

BIBLIOGRAFÍA:

Título	Autor/s	Editorial	Año de Edición	Ejemplares Disponibles
Circuit Design and Simulation with VHDL	Volnei A. Pedroni	MIT press Cambridge, Massachusetts	2010	2 (En la catedra)
Programming by Example	Douglas L. Perry	Mac Graw-Hill	2002	En formato digital
VHDL Starter's Guide	Sudhakar Yalamanchili	Prentice Hall	2005	1 (En la catedra)
Digital Logic and Microprocessor Design with VHDL	Enoch O. Hwang	Thomson	2006	1 (En la catedra)
Diseño Digital, principios y prácticas	John F. Wakerly	Prentice Hall	2001	5-6 (biblioteca central)
The Designer's Guide to VHDL	Peter J. Ashenden	Morgan Kaufmann		1 (En la catedra)
Vhdl lenguaje para síntesis y modelado de circuitos	Fernando Pardo	RA-MA Madrid	1999	En formato digital
Clases y Apuntes Cátedra	Equipo Docente de la Cátedra		2015	En formato Digital

Firma Docente Responsable

Firma Secretario Académico